|  |  |  |  |
| --- | --- | --- | --- |
| Họ tên sinh viên | MSSV | Lớp (thứ - tiết) |  |
|  |  |  |

Chú ý: Sinh viên thay bằng QR code của mã số sinh viên (ví dụ: 23119012), có thể tham khảo tại https://barcode.tec-it.com)

Quick question : chapter 6

*Lưu ý: Trong mỗi thiết kế yêu cầu sinh viên thực hiện*

* *Sơ đồ khối (nguyên lý, cấu trúc)*
* *Bảng trạng thái*
* *Mô tả bằng ngôn ngữ Verilog cho module cần thiết kế,*
* *Mô tả Verilog cho module dùng để kiểm tra thiết kế*
* *Kết quả mô phỏng quá trình kiểm tra, có phân tích*
* *Module test được đặt tên theo cú pháp: tensv\_testbench\_tenmodule, ví dụ để test module encoder, sinh viên Nguyen Van An phải đặt tên module test như sau: An\_testbench\_encoder. Các kết quả mô phỏng phải được chụp màn hình bao gồm cả tên của module test trong đó có tên sinh viên thì mới hợp lệ*

1. Thiết kế và mô phỏng mạch đếm đống bộ 8 bit sử dụng phương pháp thiết kế mạch tuần tự
2. Thiết kế và mô phỏng kiểm chứng mạch đếm đồng bộ 8 bit, có tín hiệu UD cho phép đếm lên/đếm xuống
3. Thiết kế và mô phỏng kiểm chứng Thanh ghi dịch 8 bit, vào nối tiếp ra song song
4. Thiết kế và mô phỏng mô hình máy trạng thái cho bài toán điều khiển đèn giao thông, các tín hiệu ngõ ra giải sử chỉ là các ngõ điều khiển đèn xanh, vàng đỏ